

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of )  
Masahiro TANIGUCHI ) Group Art Unit: Unassigned  
Application No.: Unassigned ) Examiner: Unassigned  
Filed: December 28, 2001 )  
For: METHOD FOR PERFORMING BIT )  
MODELING AND CIRCUIT THAT )  
USES THIS METHOD )  
)  
)  
)  
)  
)



**CLAIM FOR CONVENTION PRIORITY**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2001-192670

Filed: June 26, 2001

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: December 28, 2001

By: William Cowland, RN 30888, for  
Platon N. Mandros  
Registration No. 22,124

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 6月26日

出願番号

Application Number:

特願2001-192670

出願人

Applicant(s):

三菱電機株式会社

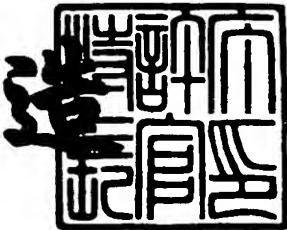


CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 7月27日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕



【書類名】 特許願  
【整理番号】 531742JP01  
【提出日】 平成13年 6月26日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H04N 7/30  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  
【氏名】 谷口 征浩  
【特許出願人】  
【識別番号】 000006013  
【氏名又は名称】 三菱電機株式会社  
【代理人】  
【識別番号】 100102439  
【弁理士】  
【氏名又は名称】 宮田 金雄  
【選任した代理人】  
【識別番号】 100092462  
【弁理士】  
【氏名又は名称】 高瀬 順平  
【手数料の表示】  
【予納台帳番号】 011394  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【ブルーフの要否】 不要

【書類名】 明細書

【発明の名称】 ビットモデリングの処理方法及びそれを用いる処理回路

【特許請求の範囲】

【請求項1】 JPEG2000のビットモデリングのシグニフィカンスプロパゲーションデコーディングパス (Significance propagation decoding pass) の処理方法において、

処理対象であるビット及び周囲のビット群の有意フラグの状態に応じて変化するデータのコンテキスト及びデシジョンと、

前記処理対象であるビット及び周囲のビット群の符号ビットの状態に応じて変化する符号ビットのコンテキスト及びデシジョンとを同時に生成しておき、

前記処理対象であるビットの値が1のときのみ前記符号ビットのコンテキスト及びデシジョンを採用し、前記有意フラグを更新し、

前記処理対象であるビットの値が0のときは廃棄し、

前記処理対象であるビットの値が1か0に係わらず、処理済フラグを更新するビットモデリングの処理回路を、

同一グループの4個のビットに同時に適用し、並列に処理することを特徴とするビットモデリングの処理方法。

【請求項2】 JPEG2000のビットモデリングのマグニチュードリファインメントパス (Magnitude refinement pass) の処理方法において、

処理対象であるビットが前記マグニチュードリファインメントパスで初めて処理されるかどうかの情報である有意第2ビットと処理済フラグ及び有意フラグとを参照して、処理するかどうかを判断し、

前記マグニチュードリファインメントパスで処理する場合は、前記処理対象であるビットのコンテキスト及びデシジョンを生成し、前記処理済フラグも更新するビットモデリングの処理回路を、

同一グループの4個のビットに同時に適用し、並列に処理することを特徴とするビットモデリングの処理方法。

【請求項3】 JPEG2000のビットモデリングのクリーンアップパス

(C l e a n u p p a s s) の処理方法において、

処理対象である同一グループのビットが全て未処理のとき、まとめて処理できるかどうかを判断し、

前記同一グループのビット群が全て非有意のときは特別なコンテキスト及びデシジョンを生成する前記ビットモデリングの第1の処理回路と、

処理済のビットについては何も行わず、

非有意のビットについて処理を行う前記ビットモデリングの第2の処理回路とを設け、

前記第1の処理回路の1つと、前記同一グループの4個のビットに前記第2の処理回路とを同時に適用し、並列に処理することを特徴とするビットモデリングの処理方法。

【請求項4】 JPEG2000のビットモデリングの処理方法において、同一ビットプレーンについて、3種類のコーディングパスを順番に処理することを特徴とするビットモデリングの処理方法。

【請求項5】 JPEG2000のビットモデリングの処理方法において、同一ビットプレーンの隣り合った3個のグループを、3種類のコーディングパスごとに並列に処理することを特徴とするビットモデリングの処理方法。

【請求項6】 請求項5記載のビットモデリングの処理方法において、同一ビットプレーンで複数並列に処理することを特徴とするビットモデリングの処理方法。

【請求項7】 請求項5または6記載のいずれかのビットモデリングの処理方法において、

複数のビットプレーンで並列に処理することを特徴とするビットモデリングの処理方法。

【請求項8】 請求項1記載のビットモデリングの処理方法を用いる処理回路において、

処理対象であるビットのデータの値を格納するレジスタと、

処理対象であるビット及び周囲のビット群の有意フラグ及び符号ビットを格納するレジスタと、

前記処理対象であるビットの処理済フラグを格納するレジスタとを備えることを特徴とする処理回路。

【請求項9】 請求項2記載のビットモデリングの処理方法を用いる処理回路において、

処理対象であるビットのデータの値を格納するレジスタと、

処理対象であるビット及び周囲のビット群の有意フラグを格納するレジスタと

処理対象であるビットがマグニチュードリファインメントパスで初めて処理されるかどうかの情報である有意第2ビットを格納するレジスタとを備えることを特徴とする処理回路。

【請求項10】 請求項5、6、8記載のいずれかのビットモデリングの処理方法を用いる処理回路において、

コードブロックサイズ分のデータビット、符号ビット、処理済フラグ、有意フラグ及び有意第2ビットとを格納するレジスタを備えることを特徴とする処理回路。

【請求項11】 請求項5、6、8記載のいずれかのビットモデリングの処理方法を用いる処理回路において、

データビット、符号ビット、処理済フラグ、有意フラグ及び有意第2ビットとを処理の対象とするビット分だけを格納するレジスタを備えることを特徴とする処理回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、ビットモデリングの処理方法及びそれを用いる処理回路に係り、特にJ P E G 2 0 0 0 の符号化におけるビットモデリングの高速化に関するビットモデリングの処理方法及びそれを用いる処理回路である。

##### 【0002】

##### 【従来の技術】

J P E G 2 0 0 0 ( I S O / I E C F D I S 1 5 4 4 4 - 1 で定義。以下、

JPEG2000と示す。)の符号化処理は、量子化係数を符号ビット及び絶対値で表す。コードブロックという単位で絶対値を表すビットを上位ビットプレーンから下位ビットプレーンの順に各ビットの上下左右の関係を調べながらコンテキスト及びデシジョンを生成する(以下、ビットモデリングと示す。)。

#### 【0003】

また、コードブロック内の絶対値を表すビットプレーンの最上位から全てのビットが0であるビットプレーンがN0個続くときは、別に処理する。

#### 【0004】

例えば、絶対値としてMビットプレーンの精度があり、あるコードブロックにおいて、全ての絶対値の上位N0ビットが0であるようなときは、 $N = M - N_0$ ビットプレーンのみビットモデリングの対象となる。

#### 【0005】

ビットモデリングの対象となる最上位のビットプレーンをMSB(Most Significant Bitプレーン、以下、MSBと示す。)、最下位のビットプレーンをLSB(Less Significant Bitプレーン、以下、LSBと示す。)と呼ぶ。

#### 【0006】

コードブロック内のデータは、MSBからLSBまでビットプレーンごとに処理して行く。各ビットプレーンにおいては縦方向に4個のビットをまとめてグループ化しておき、ラスタ順にビットモデリングを行う。

#### 【0007】

図14は横8(0~7)×縦12(0~11)のコードブロックサイズでビットモデリングを行うときのグループを処理する順番(0~23)を示す。

#### 【0008】

また、図15はビットプレーンのグループを跨ぐ個々のビット(縦方向に4個づつのビット、例えば、横0×縦4(0~3)、横1×縦4(0~3))の処理順(0~7)を示す。

#### 【0009】

ビットモデリングにはSignificance propagation

decoding pass (以下、sigパスと示す。)、Magnitude refinement pass (以下、refパスと示す。)、Clean up pass (以下、cleanパスと示す。)という3種のコーディングパスがあり、sigパス、refパス、cleanパスの順番で処理される。

#### 【0010】

即ち、この処理は、あるビットプレーンにおいて図14、15に示した順にビットを評価して、それがsigパスで処理すべきデータであればsigパスで処理し、そうでなければ次のビットに進む。

#### 【0011】

コードブロック処理が終了すると、次にrefパスとして順番に評価していく。最後にcleanパスを処理する。このとき、あるビットが処理順序の早い（優先度が高い）コーディングパスで処理されると、そのビットは他のコーディングパスでは処理しない。

#### 【0012】

従って、各ビットは上記3種類の内、1種類だけのコーディングパスで処理されることになる。この処理をMSBからLSBまで繰り返すが、MSBに限りcleanパスのみで処理する。

#### 【0013】

例えば、 $N = 8$ ビットのとき、(7ビットプレーン×3コーディングパス+1コーディングパス)×(8×12)コードブロックサイズのビットモデリングの演算が必要になる。

#### 【0014】

##### 【発明が解決しようとする課題】

上記のような従来のJPEG2000のビットモデリングの処理方法では、例えば、あるコードブロックをビットモデリングするとき、1個のデータは処理するビットプレーンに応じて  $(N - 1) \times 3 + 1$  倍の処理が必要になる。

#### 【0015】

これは1個のデータが、ビット精度に係わらず1回の処理だけで済む量子化等と比べて、処理速度が遅くなるという問題がある。

## 【0016】

## 【課題を解決するための手段】

この発明に係るビットモデリングの処理方法及びそれを用いる処理回路は、JPEG2000のビットモデリングのシグニフィカンスプロパゲーションデコーディングパス (Significance propagation decoding pass) の処理方法において、処理対象であるビット及び周囲のビット群の有意フラグの状態に応じて変化するデータのコンテキスト及びデシジョンと、処理対象であるビット及び周囲のビット群の符号ビットの状態に応じて変化する符号ビットのコンテキスト及びデシジョンとを同時に生成しておき、処理対象であるビットの値が1のときのみ符号ビットのコンテキスト及びデシジョンを採用し、有意フラグを更新し、処理対象であるビットの値が0のときは廃棄し、処理対象であるビットの値が1か0に係わらず、処理済フラグを更新するビットモデリングの処理回路を、同一グループの4個のビットに同時に適用し、並列に処理するものである。

## 【0017】

また、JPEG2000のビットモデリングのマグニチュードリファインメントパス (Magnitude refinement pass) の処理方法において、処理対象であるビットがマグニチュードリファインメントパスで初めて処理されるかどうかの情報である有意第2ビットと処理済フラグ及び有意フラグとを参照して、処理するかどうかを判断し、マグニチュードリファインメントパスで処理する場合は、処理対象であるビットのコンテキスト及びデシジョンを生成し、処理済フラグも更新するビットモデリングの処理回路を、同一グループの4個のビットに同時に適用し、並列に処理するものである。

## 【0018】

また、JPEG2000のビットモデリングのクリーンアップパス (Clean up pass) の処理方法において、処理対象である同一グループのビットが全て未処理のとき、まとめて処理できるかどうかを判断し、同一グループのビット群が全て非有意のときは特別なコンテキスト及びデシジョンを生成するビットモデリングの第1の処理回路と、処理済のビットについては何も行わず、非有

意のビットについて処理を行うビットモデリングの第2の処理回路とを設け、第1の処理回路の1つと、同一グループの4個のビットに第2の処理回路とを同時に適用し、並列に処理するものである。

【0019】

また、JPEG2000のビットモデリングの処理方法において、同一ビットプレーンについて、3種類のコーディングパスを順番に処理するものである。

【0020】

また、JPEG2000のビットモデリングの処理方法において、同一ビットプレーンの隣り合った3個のグループを、3種類のコーディングパスごとに並列に処理するものである。

【0021】

また、請求項5記載のビットモデリングの処理方法において、同一ビットプレーンで複数並列に処理するものである。

【0022】

また、請求項5または6記載のいずれかのビットモデリングの処理方法において、複数のビットプレーンで並列に処理するものである。

【0023】

また、請求項1記載のビットモデリングの処理方法を用いる処理回路において、処理対象であるビットのデータの値を格納するレジスタと、処理対象であるビット及び周囲のビット群の有意フラグ及び符号ビットを格納するレジスタと、処理対象であるビットの処理済フラグを格納するレジスタとを備えるものである。

【0024】

また、請求項2記載のビットモデリングの処理方法を用いる処理回路において、処理対象であるビットのデータの値を格納するレジスタと、処理対象であるビット及び周囲のビット群の有意フラグを格納するレジスタと、処理対象であるビットがマグニチュードリファインメントパスで初めて処理されるかどうかの情報である有意第2ビットを格納するレジスタとを備えるものである。

【0025】

また、請求項5、6、8記載のいずれかのビットモデリングの処理方法を用い

る処理回路において、コードブロックサイズ分のデータビット、符号ビット、処理済フラグ、有意フラグ及び有意第2ビットとを格納するレジスタを備えるものである。

## 【0026】

さらに、請求項5、6、8記載のいずれかのビットモデリングの処理方法を用いる処理回路において、データビット、符号ビット、処理済フラグ、有意フラグ及び有意第2ビットとを処理の対象とするビット分だけを格納するレジスタを備えるものである。

## 【0027】

## 【発明の実施の形態】

実施の形態1.

以下、この発明について説明する。図1は実施の形態1によるJPEG2000のあるビットプレーンにおけるグループのビット群○0～○3を処理する場合を示した図である。図1を参照して、ビット群○0～○3で示すグループをsingパスで処理する場合、その周囲のビットの内、×で示すビットについての情報が必要になる。

## 【0028】

図2は図1における○0のビットを処理する場合に必要となるビットを示した図である。図2を参照して、×0、×1、×2、×3、×5については同一コーディングパスの処理においてビット○0より先に処理されるビットを示している。△4、△6、△7についてはビット○0より後に処理されるビットを示している。

## 【0029】

singパスにおいてビットが処理対象となる条件は、そのビットがinsignificance（以下、非有意と示す。）であり、周囲のビットが1個以上significance（以下、有意と示す。）であることである。

## 【0030】

従って、処理対象であるビット及び周囲のビットが有意であるかどうか（以下、有意フラグと示す。）の情報が必要になる。有意フラグはレジスタに格納して

おく。

#### 【0031】

ビット〇〇が非有意で、周囲のビット群×〇～△7の内、1個以上が有意であればsigバスで処理することとなる。

#### 【0032】

周囲のビット群×〇～△7の有意フラグの状態に応じてコンテキスト（以下、データのコンテキストと示す。）を生成し、ビット〇〇の値そのものをデシジョン（以下、データのデシジョンと示す。）とする。

#### 【0033】

ビット〇〇の値が1であれば、そのデータが非有意から有意になるので、有意フラグを更新して、さらに符号ビットについてもビットモデリングを行う。

#### 【0034】

符号ビット処理には、ビット〇〇の符号ビット及び周囲のビット群×〇～△7の符号ビットが必要になる。

#### 【0035】

周囲のビット群×〇～△7の符号ビットの状態に応じてコンテキスト（以下、符号ビットのコンテキストと示す。）を生成し、ビット〇〇の符号ビット及びコンテキストに応じた値のXOR演算の結果をデシジョン（以下、符号ビットのデシジョンと示す。）とする。

#### 【0036】

データのコンテキスト／デシジョン及び符号ビットのコンテキスト／デシジョンは同時に生成しておき、必要なとき（ビット〇〇の値が1）のみ符号ビットのコンテキスト／デシジョンを採用する。

#### 【0037】

また、必要なとき（ビット〇〇の値が0）は廃棄すれば並列に処理することができる。

#### 【0038】

また、ビット〇〇の値が1であるか0であるかに係わらず、sigバスで処理されたときは、そのビットプレーンにおいて処理済であるという情報（以下、処

理済フラグと示す。) を更新する。

【0039】

あるビットを sig パスで処理するときは、そのビットの値、そのビットと周囲のビットの有意フラグ及び符号ビットとを参照する。

【0040】

即ち、ビット〇〇の値、ビット〇〇と周囲のビット群×〇～△7の有意フラグ及び符号ビットとを格納するレジスタが必要になる。

【0041】

また、ビット〇〇の処理済フラグのためのレジスタについても用意する必要がある。

【0042】

図3は図1における〇1のビットを処理する場合に必要となるビットを示した図である。図3を参照して、ビット〇1を sig パスで処理するかどうかの判断には、周囲のビット群×〇～△7の有意フラグを参照する。

【0043】

また、ビット×1の有意フラグは図2のビット〇〇の有意フラグと同等なので、ビット〇〇の処理時に更新される可能性があり、ビット〇〇の処理が終了するまでビット〇1の処理は開始できないはずであるが、ビット〇1を処理するときにビット×1の有意フラグが更新されるかどうかが解っていれば、同時に処理することが可能となる。

【0044】

即ち、ビット×1が非有意のとき、その値が1でありその周囲のビット群が1個以上有意である場合に、直前の sig パスの処理で有意になると判断し、ビット×1及びその周囲のビット群の有意フラグ及びそのビットの値と同時に参照して更新後の有意フラグとすることで、ビット〇〇及びビット〇1とを同時に処理する。

【0045】

図4は図1における〇2のビットを処理する場合に必要となるビットを示した図である。図4を参照して、ビット〇2を sig パスで処理するかどうかの判断

には、周囲のビット群×0～△7の有意フラグを参照する。

#### 【0046】

ビット×1の有意フラグは図3のビット○1の有意フラグと同等なので、ビット○1の処理時に更新される可能性があり、ビット○1の処理が終了するまでビット○2の処理は開始できないはずであるが、ビット○2を処理するときにビット×1の有意フラグが更新されるかどうかが解っていれば、同時に処理することが可能となる。

#### 【0047】

即ち、ビット×1が非有意のとき、その値が1でありその周囲のビット群が1個以上有意である場合に、直前のsigパスの処理で有意になると判断し、ビット×1及びその周囲のビット群の有意フラグ及びそのビットの値と同時に参照して更新後の有意フラグとすることで、ビット○1及びビット○2と同時に処理する。

#### 【0048】

図5は図1における○3のビットを処理する場合に必要となるビットを示した図である。図5を参照して、ビット○3をsigパスで処理するかどうかの判断には、周囲のビット群×0～△7の有意フラグを参照する。

#### 【0049】

ビット×1の有意フラグは図4のビット○2の有意フラグと同等なので、ビット○2の処理時に更新される可能性があり、ビット○2の処理が終了するまでビット○3の処理は開始できないはずであるが、ビット○3を処理するときにビット×1の有意フラグが更新されるかどうかが解っていれば、同時に処理することが可能となる。

#### 【0050】

即ち、ビット×1が非有意のとき、その値が1でありその周囲のビット群が1個以上有意である場合に、直前のsigパスの処理で有意になると判断し、ビット×1及びその周囲のビット群の有意フラグ及びそのビットの値と同時に参照して更新後の有意フラグとすることで、ビット○2及びビット○3と同時に処理する。

## 【0051】

この実施の形態1によると、ビット群○0～○3のグループの並列処理が可能となり、1ビットのデータについてはsigパスで処理するかどうかも判断し、コンテキスト／デシジョンのセットを0／1／2個出力する回路を構成することが可能となる。

## 【0052】

また、1ビットのデータを処理する回路を4個並列に並べてそれぞれビット○0, ○1, ○2, ○3について処理することで、1個のグループ（4個のデータ）について、0～8個のコンテキスト／デシジョンのセットを出力する回路を構成することが可能となる。

## 【0053】

実施の形態2.

次に、実施の形態2による並列処理方法について述べる。これは、図1～5をrefパスで処理する実施の形態であるため、実施の形態1における図1～5と同様の図面を用いて説明する。

## 【0054】

まず、図1のビット群○0～○3で示すグループをrefパスで処理するとき、その周囲のグループの内、×で示すビットについての情報が必要になる。このグループをさらに各ビット毎に分けると図2～5に示す各ビット○0, ○1, ○2, ○3について、周囲8ビットの情報が必要となる。

## 【0055】

refパスでのビットの処理条件は、そのビットがsigパスで処理されてなく、有意であることが必要である。従って、処理対象であるビットが処理済であるか、また、有意であるかどうかの情報が必要となる。

## 【0056】

図2のビット○0において、未処理で有意であればrefパスにより処理することになる。初めてビット○0がrefパスで処理されるとき、周囲のビット群×○～△7の有意フラグの状態に応じてデータのコンテキストを生成し、そうでないときは有意フラグの状態によらず固定のデータのコンテキストを生成する。

## 【0057】

いずれのときもビット〇〇の値そのものをデータのデシジョンとし、refパスで処理されるときは処理済フラグを更新し、有意フラグ、処理済フラグはsigパスと同様のものを使用する。さらに、初めてビット〇〇がrefパスで処理されるかどうかの情報（以下、有意第2ビットと示す。）はレジスタに格納しておく。

## 【0058】

図3においてビット〇1をrefパスで処理するかどうかの判断は、ビット〇1の処理済フラグ及び有意フラグとを参照する。同様に、図4、5についてもそれぞれビット〇2、ビット〇3の処理済フラグ及び有意フラグとを参照する。

## 【0059】

また、図2～5に示す各ビット〇〇、〇1、〇2、〇3を処理するには図1に示すビット群〇〇～〇3の値、処理済フラグ及び有意フラグと、ビット〇及びビット×との有意フラグが必要になる。

## 【0060】

この実施の形態2によると、refパスは有意フラグを更新することがないので、ビット群〇〇～〇3のグループの並列処理が可能となり、1ビットのデータについてはrefパスで処理するかどうかを判断し、コンテキスト／デシジョンのセットを0／1個出力する回路を構成することが可能となる。

## 【0061】

また、1ビットのデータを処理する回路を4個並列に並べてそれぞれビット〇〇、〇1、〇2、〇3について処理することで、1個のグループ（4個のデータ）について、0～4個のコンテキスト／デシジョンのセットを出力する回路を構成することが可能となる。

## 【0062】

実施の形態3。

実施の形態3による並列処理方法について述べる。これは、図1～5をclinパスで処理する実施の形態であるため、実施の形態1における図1～5と同様の図面を用いて説明する。

## 【0063】

まず、図1のビット群○0～○3で示すグループをc1nパスで処理するとき、その周囲のグループの内、×で示すビットについての情報が必要になる。このグループをさらに各ビット毎に分けると図2～5に示す各ビット○0, ○1, ○2, ○3について、周囲8ビットの情報が必要となる。

## 【0064】

c1nパスでのビットの処理条件は、そのビットが未処理であることである。但し、MSBではc1nパスしか処理しないので全てのビットが処理対象となる。従って、処理対象であるビットが処理済であるかどうかの情報が必要となる。

## 【0065】

また、c1nパスでは図2～5に示す各ビット○0, ○1, ○2, ○3において、全て未処理のとき、まとめて処理できるかどうかを判断する。図2～5に示す各ビット○0, ○1, ○2, ○3のそれぞれにおいて、周囲のビット群×0～△7が全て非有意のときは特別なコンテキスト（以下、ランレンジスのコンテキストと示す。）を生成する。

## 【0066】

また、同時に図2～5に示す各ビット○0, ○1, ○2, ○3の値が全て0であればデシジョン（以下、ランレンジスのデシジョンと示す。）0を生成し、そのグループの処理を終了する。

## 【0067】

また、図2～5に示す各ビット○0, ○1, ○2, ○3の値が1つでも1であれば、ランレンジスのデシジョンは1とする。このとき図2～5に示す各ビット○0, ○1, ○2, ○3の内、最初に1の値を持つビットの位置を2ビットのデータで表す。

## 【0068】

即ち、ビット○0が最初の1であれば00、ビット○1であれば01、以下、同様10、11とする。これらの2つのデータはランレンジスに続くコンテキスト（以下、UNIFORMのコンテキストと示す。）とともに生成され、それぞれデシジョン（以下、UNIFORMのデシジョンと示す。）として出力される

## 【0069】

ランレンゲスのコンテキストだけが出力されるときは、全て非有意のままであるので有意フラグの更新は行われない。

## 【0070】

UNIFORMのコンテキストも出力されるとき、UNIFORMのデシジョンが示す位置のビットは非有意から有意になるので、そのビットの有意フラグを更新する。

## 【0071】

但し、UNIFORMのコンテキスト自体が、そのデシジョンの示す位置のビットが1であることを表すので、sigバスと同様にそのビットの符号ビットのコンテキストを生成する。

## 【0072】

c1nバスでの符号ビットのコンテキストの生成方法はsigバスと同様であり、UNIFORMのデシジョンが11のときは符号ビットのみの処理で終了となるが、それ以外のときは残るビットを1ビットづつ処理する。

## 【0073】

残るビットの処理の方法はそのビットの周囲のビットが全て非有意でも処理することを除いて、sigバスと同様である。また、UNIFORMのデシジョンが示す位置より前のビットは非有意のままであるので、有意フラグの更新は行わない。

## 【0074】

この実施の形態3によると、ランレンゲスのコンテキストの処理対象とならないときは、そのグループ中のビットの内、未処理のものを順番に処理する。また、UNIFORMのコンテキスト以後のビット、またはランレンゲスのコンテキストの処理対象とならないときの未処理のビットについては、sigバスと同様の処理を行うためsigバスと同様の回路を構成することが可能となる。

## 【0075】

また、sigバスでは各ビットが独立したものを並列に処理することで0~8

個のコンテキスト／デシジョンのセットを出力する回路を構成しているが、 $c_1$   
 $n$  パスによると、さらに 0 ランレングスのコンテキスト／デシジョン、 UNIFORM のコンテキスト／デシジョンを処理する回路を並列に処理させ、

- ・ 0 ランレングスのコンテキストを含む場合
  - UNIFORM のコンテキストを含むか
  - UNIFORM のコンテキスト以後のビット数
- ・ 0 ランレングスのコンテキストを含まない場合
  - $c_1 n$  パスで処理するビット数

を考慮して、 0 ランレングス、 UNIFORM 、各ビットのコンテキスト／デシジョンを計算することで 0 ~ 10 個のコンテキスト／デシジョンのセットを出力する回路を構成することが可能となる。

#### 【0076】

実施の形態4.

実施の形態 1 ~ 3 については、各コーディングパスについて個別の回路構成について述べたものであるが、実施の形態 4 では同一ビットプレーン内の同一グループについて実施の形態 1 ~ 3 の回路で同時に処理するものである。

#### 【0077】

この場合、 3 種類のコーディングパスで情報を共有する必要があるため、コードブロックサイズ分の有意フラグ、有意第 2 ビット、処理済フラグをレジスタに格納しておく必要がある。

#### 【0078】

また、符号ビット、処理対象となるビットプレーンのデータビットについては、コードブロックサイズ分、または実際に処理対象となる部分を各コーディングパス毎に読み出す場合はその分だけレジスタに格納しておく必要がある。

#### 【0079】

この実施の形態 4 によると、実施の形態 1 ~ 3 に比べ処理速度を速くすることができる。

#### 【0080】

実施の形態5.

図6は実施の形態5による3個の連続したグループを処理する場合に使用するデータの範囲を示す図である。実施の形態4では、同一ビットプレーン内の同一グループを3種類のコーディングパスで同時に処理する方法であった。

#### 【0081】

しかし、コードブロック内のあるビットプレーンについては、`s i g`パス→`r e f`パス→`c l n`パスの順で処理して行くが、各ビットは1個のコーディングパスだけで処理されることや、`s i g`パスあるいは`c l n`パス等複数のパスで有意フラグを更新すること等の制約により、正確なビットモデリングを得ようとすれば、各コーディングパスを順番に処理する必要がある。

#### 【0082】

つまり、あるビットプレーンにおいて、4個のビットを同時に処理しているとはいえ実際には3種類のコーディングパスで順番に処理することになり、回路としての動作周波数を低く押さえる必要がある。これを解決するために実施の形態5では、横方向に連続したグループ（ビット群○0～○3、ビット群○4～○7、ビット群○8～○11）をそれぞれ別のコーディングパスで処理する方法をとっている。

#### 【0083】

図7はビット群○8～○11のグループを処理する場合に使用するデータの範囲を示す図である。また、図8はビット群○4～○7のグループを処理する場合に使用するデータの範囲を示す図である。また、図9はビット群○0～○3のグループを処理する場合に使用するデータの範囲を示す図である。

#### 【0084】

`s i g`パスは非有意であり、かつ周囲のビットに1個以上有意であるビットが存在するときに処理するコーディングパスであり、最初に実行され、他の2個のパスからは何の制約も受けずに処理することができる。

#### 【0085】

図6で示す3個のグループではビット群○8～○11を処理するコーディングパスであり、図7がそのデータの使用範囲である。ビット群○8～○11を`s i g`パスで処理するので、条件によりビット群○8～○11の処理済フラグ、有意

フラグが更新される。

【0086】

図6～9におけるビット群×5～×8、ビット群○0～○3、ビット群○4～○7はsigパスにより既に処理済である。

【0087】

次に、refパスは既に有意であるデータを処理するコーディングパスであり、処理時に有意であるかどうかを考慮する必要がある。

【0088】

そのビットが既に有意であるかどうかは有意フラグを参照するが、そのビットが同じビットプレーンのsigパスで処理され有意になったときは処理できない。

【0089】

即ち、sigパスで処理されたかどうかを判断する必要があるため、sigパスと同時に処理することはできない。

【0090】

図6で示す3個のグループではビット群○4～○7を処理するコーディングパスであり、図8がそのデータの使用範囲である。ビット群○4～○7をrefパスで処理するので、ビット群○4～○7の処理済フラグ、有意フラグを参照し、条件により処理済フラグを更新する。

【0091】

sigパスでビット群○8～○11、refパスでビット群○4～○7を処理することで、refパスではsigパスで更新した後のビット群○4～○7のフラグを参照することができる。

【0092】

また、この実施の形態5では、回路規模を最小とするためsigパスとrefパスで処理するグループは横方向に1グループずらした構成を示したが、2グループ以上ずらしてもよい。

【0093】

図6、8、9におけるビット群5×～×8、ビット群○0～○3はrefパス

により既に処理済である。

#### 【0094】

また、c1nパスは非有意であり、sigパスで処理されなかったデータを処理するコーディングパスである。この実施の形態5では、有意なデータはrefパスで既に処理されており、非有意なデータの内sigパスで処理されなかったデータというのは、未処理のデータ全てであるので、処理済フラグを参照し、未処理のデータのみを処理する。

#### 【0095】

処理対象となるビット及び周囲ビットの有意フラグを参照する必要があるため、sigパスと同時に処理することはできない。

#### 【0096】

図6で示す3個のグループではビット群○0～○3を処理するコーディングパスであり、図9がそのデータの使用範囲である。ビット群○0～○3をc1nパスで処理するので、ビット群○4～○7の有意フラグ、ビット群○0～○3の処理済フラグを参照し、条件により有意フラグを更新する。

#### 【0097】

また、図6、9におけるビット群×5～×8はc1nパスにより既に処理済である。

#### 【0098】

sigパスでビット群○8～○11、refパスでビット群○4～○7、c1nパスでビット群○0～○3を処理することで、c1nパスではsigパス及びrefパスで更新した後のビット群○0～○3、ビット群○4～○7のフラグを参照することができる。

#### 【0099】

また、この実施の形態5では、回路規模を最小とするためsigパスとrefパスで処理するグループは横方向に1グループずらした構成を示したが、sigパス、refパス及びc1nパスで処理するグループ数は任意でよい。

#### 【0100】

上記構成で3種類のコーディングパスを並列に処理するとき、実施の形態1～

4と同様の方法とあわせて、4個のデータを3種類のコーディングパスだけ並列に処理できる。

#### 【0101】

また、図6においてsigパスでビット群△9～△12、refパスでビット群○8～○11、clnパスでビット群○4～○7というように処理するグループをずらすことで連続に処理することができる。

#### 【0102】

各コーディングパスは0～10個のコンテキスト／デシジョンのセットを出力するが、これらのデータはコーディングパス毎に格納する必要がある。

#### 【0103】

この実施の形態5によると、コードブロックサイズ分の有意フラグ、有意第2ビットの情報をレジスタに格納しておく必要があるが、3種類のコーディングパスを1度に処理するため、符号ビット、処理対象となるビットプレーンのデータビット、処理済フラグについては実際に処理する場合に処理の対象となっている部分だけレジスタに格納しておけばよい。

#### 【0104】

また、図6のように、各コーディングパスで処理するグループの間隔を1グループにした場合、処理の対象となっている部分というのは、符号ビットでは○△×の30ビット分、データビット及び処理済フラグでは×5～×8、○0～○11、△9～△12の20ビット分になる。

#### 【0105】

従って、実施の形態1～4に比べ、高速に処理でき、回路規模を縮小できる。

#### 【0106】

実施の形態6.

次に、実施の形態6による並列処理方法について述べる。これは、図6における有意フラグ及び有意第2ビットを処理の対象とする部分（○△×の30ビット分（有意フラグ）、×5～×8、○0～○11、△9～△12の20ビット分（有意第2ビット））だけのレジスタ量で実行する方法である。

#### 【0107】

有意フラグがコードブロックサイズ分必要であるのは、M S BからL S Bまでのビットモデリングをしている間、情報を共有する必要があるため、保持する必要があるからである。

#### 【0108】

しかし、あるビットプレーンの処理においては、その直前のビットプレーンでの処理後の状態が解ればよく、直前のビットプレーンまで処理した後の状態を予め計算することができれば、ビットプレーン間で情報を共有する必要がなくなる。

#### 【0109】

実施の形態6では、処理しようとするデータの値を調べ、処理対象となるビットプレーンより上位に値が1であるビットがあるかどうかで判断する方法をとる。

#### 【0110】

図10は、ビットモデリングで処理しようとするある1つのデータを符号ビット、及び絶対値に分け、その値を示した図である。図10を参照して、M S Bから処理対象であるビットプレーンより1個上のビットまでの値は全て0であるので、このデータのsigパス処理前の有意フラグは非有意とする。

#### 【0111】

また、図11では、M S Bから処理対象であるビットプレーンより1個上のビットまでの値が1であるので、このデータのsigパス処理前の有意フラグは有意とする。

#### 【0112】

これをビットプレーン毎にデータビットを読み出すときに実行すれば、ビットプレーン間で情報を共有する必要がなくなるため、有意フラグのレジスタ数を削減することができる。

#### 【0113】

従って、有意フラグは図6に示す○△×の30ビット分だけレジスタを持てばよいことになる。

#### 【0114】

また、有意第2ビットも同様に、初めてrefパスで処理するビットプレーン、即ち、有意になった次のビットプレーンを予め計算しておくことにより、ビットプレーン間で情報を共有する必要がなくなる。

#### 【0115】

この実施の形態6では、処理しようとするデータを調べ、処理対象となるビットプレーンより1ビット上位の値が1で、それより上位のビットが全て0であるかどうかで判断する。

#### 【0116】

図10を例にとると、処理対象のビットプレーンより上位のビットの値が全て0であるので有意第2ビットにはならない。また、図11では、処理対象するビットプレーンの1ビット上位の値が1で、それより上位ビットの値が全て0であるので有意第2ビットになる。

#### 【0117】

これをビットプレーン毎にデータビットを読み出すときに実行すれば、ビットプレーン間で情報を共有する必要がなくなるため、有意第2ビットのレジスタ数を削減することができる。

#### 【0118】

従って、有意第2ビットは図6に示す×5～×8、○0～○11、△9～△12の20ビット分だけ持てばよいことになる。

#### 【0119】

実施の形態6は、同一のビットプレーンにおいて3種類のコーディングパスを並列に処理する回路であり、以下の実施の形態の基本回路とする。

#### 【0120】

実施の形態7。

この実施の形態7は、同一のビットプレーンにおいて実施の形態6の回路を複数使用する処理方法である。図13は3個の連続したグループを複数並列に処理する場合に使用するデータの範囲を示す図である。これはビット群○000～○011、○100～○111について2つの実施の形態6で述べた回路を使用するものである。

## 【0121】

図13を参照して、ビット群○000～○011については実施の形態6と同様の回路を使用してそのまま処理する。また、ビット群×100～×104は本来ビット群○100～○111よりも前に処理されるべきデータであるので有意フラグを予め計算しておく必要がある。

## 【0122】

実施の形態6では、処理対象となるビットプレーンの1ビット上位のビットプレーンまでの有意フラグの計算方法を示したが、この実施の形態7では、さらに縦方向に1段上のグループの処理後の情報が必要になる。これは実施の形態6で示した方法に加えて、処理対象のビットプレーンのデータも考慮することで計算できる。

## 【0123】

以下に、図13の×100が、図10～12のような値を持っている場合について述べる。

## 【0124】

図10では、MSBから処理対象となるビットプレーンまで値が全て0なので非有意である。図11では、MSBから処理対象となるビットプレーンの1ビット上位までに値が1であるビットがあるので有意である。

## 【0125】

また、図12では、MSBから処理対象となるビットプレーンまでに値が1であるビット（この場合は、処理対象のビットプレーン）があるので有意である。このように、縦方向に1段上のグループまで、有意フラグを計算することが可能となる。

## 【0126】

但し、ビット群×105～×108、ビット群△109～△117については実施の形態1～6と同様の処理とする。例えば、ビット△117が図12のような値を持っていた場合、非有意となる。

## 【0127】

この実施の形態7によると、同一のビットプレーンにおいて複数のグループの

並列処理が可能となる。また、縦方向に連続したグループを処理する例を示したが、縦方向のグループの間隔は1に限らず任意でよく、並列に処理する実施の形態6と同様の回路も2個以上の任意の数でよい。尚、並列回路を2個設ければ、回路規模は2倍となるが、処理性能も2倍となる。

#### 【0128】

実施の形態8.

さらに、実施の形態8では異なるビットプレーンでの並列処理が可能な方法について述べる（図示せず。）。これは実施の形態6で述べた方法を異なるビットプレーンに対して同時に使用することで、複数のビットプレーン（2以上の任意の数）での並列処理が可能となる。

#### 【0129】

また、この実施の形態8も並列回路を2個設ければ、回路規模は2倍となるが、処理性能も2倍となる。

#### 【0130】

さらに、実施の形態7と同様の回路を異なるビットプレーンに対して同時に実行させることも可能である。尚、この場合も任意の数のビットプレーンでの並列処理が可能である。

#### 【0131】

##### 【発明の効果】

この発明に係るビットモデリングの処理方法及びそれを用いる処理回路は、JPEG2000のビットモデリングのシグニフィカンスプロパゲーションデコードィングパス（Significance propagation decoding pass）の処理方法において、処理対象であるビット及び周囲のビット群の有意フラグの状態に応じて変化するデータのコンテキスト及びデシジョンと、処理対象であるビット及び周囲のビット群の符号ビットの状態に応じて変化する符号ビットのコンテキスト及びデシジョンとを同時に生成しておき、処理対象であるビットの値が1のときのみ符号ビットのコンテキスト及びデシジョンを採用し、有意フラグを更新し、処理対象であるビットの値が0のときは廃棄し、処理対象であるビットの値が1か0に係わらず、処理済フラグを更新するビ

ットモデリングの処理回路を、同一グループの4個のビットに同時に適用し、並列に処理するので、処理速度を速くすることができる。

#### 【0132】

また、JPEG2000のビットモデリングのマグニチュードリファインメントパス (Magnitude refinement pass) の処理方法において、処理対象であるビットがマグニチュードリファインメントパスで初めて処理されるかどうかの情報である有意第2ビットと処理済フラグ及び有意フラグとを参照して、処理するかどうかを判断し、マグニチュードリファインメントパスで処理する場合は、処理対象であるビットのコンテキスト及びデシジョンを生成し、処理済フラグも更新するビットモデリングの処理回路を、同一グループの4個のビットに同時に適用し、並列に処理するので、さらに処理速度を速くすることができる。

#### 【0133】

また、JPEG2000のビットモデリングのクリーンアップパス (Clean up pass) の処理方法において、処理対象である同一グループのビットが全て未処理のとき、まとめて処理できるかどうかを判断し、同一グループのビット群が全て非有意のときは特別なコンテキスト及びデシジョンを生成するビットモデリングの第1の処理回路と、処理済のビットについては何も行わず、非有意のビットについて処理を行うビットモデリングの第2の処理回路とを設け、第1の処理回路の1つと、同一グループの4個のビットに第2の処理回路とを同時に適用し、並列に処理するので、さらに処理速度を速くすることができる。

#### 【0134】

また、JPEG2000のビットモデリングの処理方法において、同一ビットプレーンについて、3種類のコーディングパスを順番に処理するので、さらに処理速度を速くすることができる。

#### 【0135】

また、JPEG2000のビットモデリングの処理方法において、同一ビットプレーンの隣り合った3個のグループを、3種類のコーディングパスごとに並列に処理するので、さらに処理速度を速くすることができ、回路規模を縮小するこ

とができる。

【0136】

また、請求項5記載のビットモデリングの処理方法において、同一ビットプレーンで複数並列に処理するので、さらに処理速度を速くすることができ、回路規模を縮小することができる。

【0137】

また、請求項5または6記載のいずれかのビットモデリングの処理方法において、複数のビットプレーンで並列に処理するので、さらに処理速度を速くすることができる。

【0138】

また、請求項1記載のビットモデリングの処理方法を用いる処理回路において、処理対象であるビットのデータの値を格納するレジスタと、処理対象であるビット及び周囲のビット群の有意フラグ及び符号ビットを格納するレジスタと、処理対象であるビットの処理済フラグを格納するレジスタとを備えるので、処理速度を速くすることができる。

【0139】

また、請求項2記載のビットモデリングの処理方法を用いる処理回路において、処理対象であるビットのデータの値を格納するレジスタと、処理対象であるビット及び周囲のビット群の有意フラグを格納するレジスタと、処理対象であるビットがマグニチュードリファインメントパスで初めて処理されるかどうかの情報である有意第2ビットを格納するレジスタとを備えるので、さらに処理速度を速くすることができる。

【0140】

また、請求項5、6、8記載のいずれかのビットモデリングの処理方法を用いる処理回路において、コードブロックサイズ分のデータビット、符号ビット、処理済フラグ、有意フラグ及び有意第2ビットとを格納するレジスタを備えるので、処理速度を速くすることができ、回路規模を縮小することができる。

【0141】

さらに、請求項5、6、8記載のいずれかのビットモデリングの処理方法を用

いる処理回路において、データビット、符号ビット、処理済フラグ、有意フラグ及び有意第2ビットとを処理の対象とするビット分だけを格納するレジスタを備えるので、さらに処理速度を速くすることができ、回路規模を縮小することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるJPEG2000のビットモデリングにおいて、あるグループを処理する場合に使用するデータの範囲を示す図である。

【図2】 この発明の実施の形態1によるJPEG2000のビットモデリングにおいて、ビットO0を処理する場合に使用するデータの範囲を示す図である。

【図3】 この発明の実施の形態1によるJPEG2000のビットモデリングにおいて、ビットO1を処理する場合に使用するデータの範囲を示す図である。

【図4】 この発明の実施の形態1によるJPEG2000のビットモデリングにおいて、ビットO2を処理する場合に使用するデータの範囲を示す図である。

【図5】 この発明の実施の形態1によるJPEG2000のビットモデリングにおいて、ビットO3を処理する場合に使用するデータの範囲を示す図である。

【図6】 この発明の実施の形態5による3個の連続したグループを処理する場合に使用するデータの範囲を示す図である。

【図7】 この発明の実施の形態5によるビット群O8～O11のグループを処理する場合に使用するデータの範囲を示す図である。

【図8】 この発明の実施の形態5によるビット群O4～O7のグループを処理する場合に使用するデータの範囲を示す図である。

【図9】 この発明の実施の形態5によるビット群O0～O3のグループを処理する場合に使用するデータの範囲を示す図である。

【図10】 この発明の実施の形態6によるJPEG2000のビットモデ

リングにおいて、処理の対象となるデータを符号ビットとデータに分けてビットプレーン毎に値を示した図である。

【図11】 この発明の実施の形態6によるJPEG2000のビットモデリングにおいて、別の処理の対象となるデータを符号ビットとデータに分けてビットプレーン毎に値を示した図である。

【図12】 この発明の実施の形態6によるJPEG2000のビットモデリングにおいて、さらに別の処理の対象となるデータを符号ビットとデータに分けてビットプレーン毎に値を示した図である。

【図13】 この発明の実施の形態7による3個の連続したグループを複数並列に処理する場合に使用するデータの範囲を示す図である。

【図14】 従来のJPEG2000のビットモデリングにおいて、ビットプレーン内で処理するグループの順番を示す図である。

【図15】 従来のJPEG2000のビットモデリングにおいて、別のビットプレーン内で処理するグループの順番を示す図である。

【符号の説明】

○0～○3、○4～○7、○8～○11 ビット群

×0～△7 周囲のビット群

○0, ○1, ○2, ○3 各ビット

×5～×8、○0～○11、△9～△12 ビット群

○000～○011、○100～○111 ビット群

【書類名】 図面

【図1】

	0	1	2	3	4	5	6	7
0								
1								
2								
3			×	×	×			
4				×	○0	×		
5				×	○1	×		
6				×	○2	×		
7				×	○3	×		
8			×	×	×			
9								
10								
11								

【図2】

×	0				
×	1				
×	2				
×	3	○0	△4		
×	5	△6	△7		

【図3】

X0	X1	△2
X3	○1	△4
X5	△6	△7

【図4】

X0	X1	△2
X3	○2	△4
X5	△6	△7

【図5】

$\times 0$	$\times 1$	$\triangle 2$
$\times 3$	$\circ 3$	$\triangle 4$
$\triangle 5$	$\triangle 6$	$\triangle 7$

【図6】

$\times 0$	$\times 1$	$\times 2$	$\times 3$	$\times 4$
$\times 5$	$\circ 0$	$\circ 4$	$\circ 8$	$\triangle 9$
$\times 6$	$\circ 1$	$\circ 5$	$\circ 9$	$\triangle 10$
$\times 7$	$\circ 2$	$\circ 6$	$\circ 10$	$\triangle 11$
$\times 8$	$\circ 3$	$\circ 7$	$\circ 11$	$\triangle 12$
$\triangle 13$	$\triangle 14$	$\triangle 15$	$\triangle 16$	$\triangle 17$

【図7】

$\times 3$	$\times 4$	$\times 5$
○ 4	○ 8	△ 9
○ 5	○ 9	△10
○ 6	○10	△11
○ 7	○11	△12
△15	△16	△17

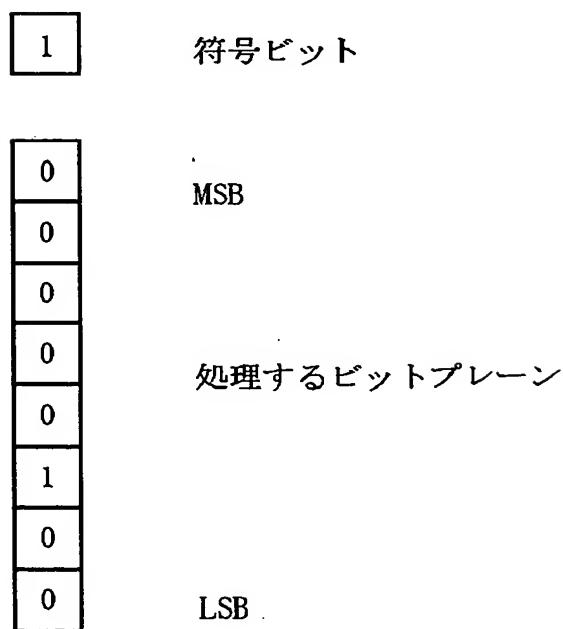
【図8】

$\times 1$	$\times 2$	$\times 3$
○ 0	○ 4	○ 8
○ 1	○ 5	○ 9
○ 2	○ 6	○10
○ 3	○ 7	○11
△14	△15	△16

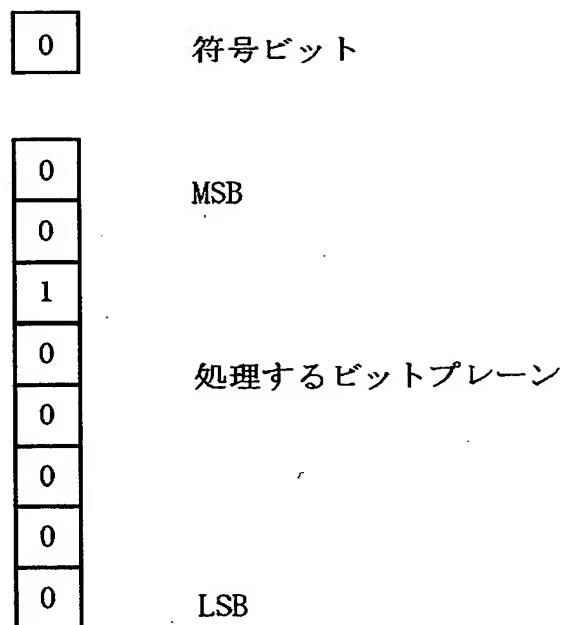
【図9】

× 0	× 1	× 3
× 5	○ 0	○ 4
× 6	○ 1	○ 5
× 7	○ 2	○ 6
× 8	○ 3	○ 7
△13	△14	△15

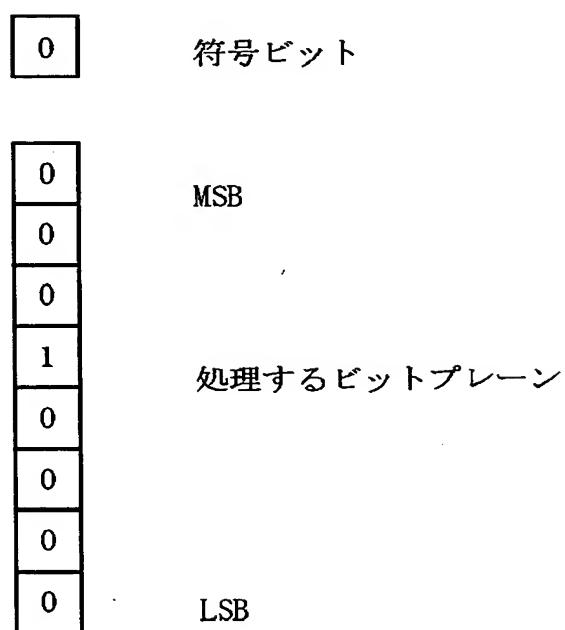
【図10】



【図11】



【図12】



【図13】

X000	X001	X002	X003	X004							
X005	O000	O004	O008	A009							
X006	O001	O005	O009	A010							
X007	O002	O006	O010	A011							
X008	O003	O007	O011	A012	X100	X101	X102	X103	X104		
A013	A014	A015	A016	A017	X105	O100	O104	O108	A109		
					X106	O101	O105	O109	A110		
					X107	O102	O106	O110	A111		
					X108	O103	O107	O111	A112		
					A113	A114	A115	A116	A117		

【図14】

0	1	2	3	4	5	6	7
1	0	1	2	3	4	5	6
2							
3							
4							
5							
6	8	9	10	11	12	13	14
7							
8							
9							
10	16	17	18	19	20	21	22
11							
12							
13							
14							
15							

特2001-192670

【図15】

	0	1	2	3	4	5	6	7
0	0	4						
1	1	5						
2	2	6						
3	3	7						
4								
5								
6								
7								
8								
9								
10								
11								

【書類名】 要約書

【要約】

【課題】 処理速度の速いビットモデリングの処理方法及びそれを用いる処理回路を得ることである。

【解決手段】 sigバスにより、処理対象であるビットと周囲のビット群の有意フラグの状態及び符号ビットの状態に応じて変化するコンテキスト及びデシジョンと同時に生成し、処理対象であるビットの値が1のときのみ符号ビットのコンテキスト及びデシジョンを採用し、有意フラグを更新し、処理対象であるビットの値が0のときは廃止し、処理対象であるビットの値が1か0に係わらず、処理済フラグを更新するビットモデリングの処理回路を、同一グループのビットO0～O3に同時に適用し、並列に処理する。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社